



JP60262073

Biblio

Page 1

Drawing



DISTURBANCE MONITOR FOR DIGITAL SIGNAL PROCESSOR

Patent Number: JP60262073
Publication date: 1985-12-25
Inventor(s): KAJIWARA MASANORI; others: 02
Applicant(s): FUJITSU KK
Requested Patent: ☐ JP60262073
Application Number: JP19840118105 19840611
Priority Number(s):
IPC Classification: G01R31/28; H03H17/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To enable a constant monitoring by extracting and storing input/output data into first and second memories to obtain the results of disturbance monitoring at the output of a means for comparing the results with a simulation processor and the output data.

CONSTITUTION: A necessary data from an input signal line IL is extracted with a simulation processor 8 to be stored into a first memory 6 and a data processed with a digital signal processor 1 based on the data is extracted from an output signal line OL to be stored into a second memory 7. Then, the data of the first memory 6 is simulated with the processor 8 and the stored data controlled in the output action of the second memory 7 is compared with the results of simulation by a comparator 3. When both of the data coincide with each other, the unit 1 is reset while when they do not, an alarm is lighted judging that some disturbance occurs while a terminal 5 is notified thereof. This enables constant monitoring without interruption of the unit 1.

Data supplied from the esp@cenet database - I2

④ 日本国特許庁 (J P)

⑤ 特許出願公開

⑥ 公開特許公報 (A)

昭60-262073

⑦ Int. Cl.

識別記号

庁内整理番号

⑧ 公開 昭和60年(1985)12月25日

G 01 R 31/28
H 03 H 17/00

6740-2G
8124-5J

審査請求 未請求 発明の数 1 (全5頁)

⑨ 発明の名称 デジタル信号処理装置の障害監視装置

⑩ 特 願 昭59-118105

⑪ 出 願 昭59(1984)6月11日

⑫ 発 明 者 梶 原 正 範 川崎市中原区上小田中1015番地 富士通株式会社内
⑬ 発 明 者 田 中 剛 川崎市中原区上小田中1015番地 富士通株式会社内
⑭ 発 明 者 中 出 浩 志 川崎市中原区上小田中1015番地 富士通株式会社内
⑮ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
⑯ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

デジタル信号処理装置の障害監視装置

2. 特許請求の範囲

1. デジタル信号処理装置の障害監視装置であって、

該デジタル信号処理装置に入力される入力データを抽出格納する第1のメモリ、

該入力データに基づき該デジタル信号処理装置がデジタル処理をして得られた出力データを抽出格納する第2のメモリ、

該第1のメモリに格納された入力データに基づき、該デジタル信号処理装置によるデジタル処理を該デジタル処理の処理速度より低速でシミュレートするシミュレーションプロセッサ、及び

該シミュレーションプロセッサによるシミュレーション結果と該第2のメモリに格納された出力データとを比較する比較手段

を具備し、該比較手段の出力に該デジタル信

号処理装置の障害監視結果を得るようにしたことを特徴とする障害監視装置。

2. 該シミュレーションプロセッサは該第1及び第2のメモリの入出力動作を制御するようにした特許請求の範囲第1項記載の障害監視装置。

3. 該デジタル信号処理装置は非逐目形フィルムである特許請求の範囲第1項又は第2項記載の障害監視装置。

4. 該デジタル信号処理装置は電話回線上のデジタル信号を適応差分PCM変換するADPCM変換フィルムである特許請求の範囲第1項又は第2項記載の障害監視装置。

5. 該デジタル信号処理装置は電話回線上のデジタル信号を周波数分割多重変換するFDM変換フィルムである特許請求の範囲第1項又は第2項記載の障害監視装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル信号処理装置の障害監視装置に関する。

一連のデジタル信号を受信し、これを演算処理によって符号変換するデジタル信号処理装置として、例えば、巡回形あるいは非巡回形のフィルタ、あるいは、デジタル電話回路上の入力デジタル信号を適応差分PCM(ADPCM)変換するADPCM変換フィルタや周波数分割多重(FDM)変換するFDM変換フィルタが知られている。本発明はこれらのデジタル信号処理装置の障害を監視する装置に関する。

〔従来技術とその問題点〕

従来、デジタル信号処理装置によるデジタル処理を監視するために、例えば第4図に示す如く、現用のデジタル信号処理装置1のほかに、信号処理装置1を試験するためのデジタルパターンを発生する試験パターン発生器2を用意し、定期的な保守を行うときにスイッチを入力信号線ILから試験パターン発生器2に切換え、試験パターン発生器2から試験パターンデータを現用装置1に送出して現用装置1によりデジタル処理を行わせると同時に試験パターン発生器2にかい

ても試験パターンによってデジタル信号処理装置が発生すべきパターンを発生させ、それぞれの処理結果を比較回路3により比較させていた。比較の結果、それぞれの処理結果が異なるときは、警報用のランプ(LED)4を点灯させたり、端末装置5にその旨通知したりする。

この従来方式では、保守時に入力信号線ILと現用のデジタル信号処理回路1とがスイッチSWにより切断されるので、その間に入力線INに与えられる入力デジタル信号は処理されないことになる。このことは、例えば電話回路にかいては電話サービス機能の一時的な停止を意味し、好ましくない。

また、従来、第5図に示すように、同一構成のデジタル信号処理装置1及び2を入力線INに接続し、これらの出力を比較回路3により常時比較する方式も行われている。第4図及び第5図に示した方式では、いずれも2つのデジタル信号処理装置が必要であり、デジタル信号処理装置は一般に高価なので障害監視装置の価格が高くな

るという問題がある。

〔発明の目的〕

本発明の目的は、上述の従来方式における問題にかんがみ、デジタル信号処理装置の演算内容を実用のプロセッサによりシミュレートするという構想に基づき、現用のデジタル信号処理装置による処理を中断することなくその障害を監視できる廉価な障害監視装置を提供することにある。

〔発明の構成〕

上記の目的を達成するために、本発明により提供されるものは、デジタル信号処理装置の障害監視装置であって、デジタル信号処理装置に入力される入力データを抽出格納する第1のメモリ、入力データに基づき該デジタル信号処理装置がデジタル処理をして得られた出力データを抽出格納する第2のメモリ、第1のメモリに格納された入力データに基づき、デジタル信号処理装置によるデジタル処理をデジタル処理の処理速度より低速でシミュレートするシミュレーション

プロセッサ、及びシミュレーションプロセッサによるシミュレーション結果と該第2のメモリに格納された出力データとを比較する比較手段を具備し、比較手段の出力にデジタル信号処理装置の障害監視結果を格納するようにしたことを特徴とする障害監視装置である。

〔作用〕

シミュレーションプロセッサはメモリを制御する点とにより、デジタル信号処理装置による入力データの任意の処理をシミュレートすることができ、しかも、シミュレートしている間もデジタル信号処理装置による入力データの処理は中断することがない。シミュレーションプロセッサによるシミュレートの動作はデジタル信号処理装置の処理速度より遅くても、障害の診断には特に問題とはならない。

〔実施例〕

以下本発明の実施例を図面によって詳述する。

1図は本発明の一実施例によるデジタル信号処理装置の障害監視装置を示すブロック図であ

る。同図において、1はデジタル信号処理装置、3は比較回路、4はランプ、5は端末装置、6は第1のメモリ、7は第2のメモリ、そして8はシミュレーションプロセッサである。

シミュレーションプロセッサ8は、デジタル信号処理装置1が行う演算処理をシミュレートするためのプログラムを内蔵した汎用マイクロコンピュータである。

シミュレーションプロセッサ8は、第1のメモリ6の入力動作を制御して、シミュレートしようとする演算に必要なデータを入力信号線ILから抽出し第1のメモリ6に格納する。シミュレーションプロセッサ8はまた、第2のメモリ7の入力動作を制御して、第1のメモリ6に格納されたデータと同一データに基づきデジタル信号処理装置1によって処理されたデータを出力信号線OLから抽出して第2のメモリ7に格納させる。第1のメモリ6に格納されたデータは、シミュレーションプロセッサ8によって適宜な時期に取り出され、デジタル信号処理装置1の動作がシミュレ

ートされる。シミュレートが終了すると、シミュレーションプロセッサ8は第2のメモリ7の出力動作を制御してその格納データを比較回路3に与えと共にシミュレーション結果を比較器3に与える。比較器は両者のデータを比較し、一致していれば再び上記と同様のシミュレーション動作を行わせるべくシミュレーションプロセッサ8をリセットし、不一致であれば障害が発生したと判断して警報用ランプ4の点灯又は端末装置5への通知を行う。

以上の動作により、デジタル信号処理装置1による処理動作を中断させることなく、当時デジタル処理をシミュレートすることによりデジタル信号処理装置1の障害が監視できる。

また、シミュレーションプロセッサ8はデジタル信号処理装置1に比べて極めて廉価であり、障害監視装置の価格が低減される。

さらに、デジタル信号処理装置1内の部分的なデジタル処理をもシミュレートすることができるとの利点がある。従来は部分的なデジタル処理

の障害監視を行うためには、この部分処理を実行するデジタル信号処理装置を処理毎に別々に用意する必要があり極めて高価なものとなったが、本発明によれば単一のしかも廉価なシミュレーションプロセッサのみで汎用的な処理に対応できる。

第2図はデジタル信号処理装置の1例である非逐回形フィルタを示すブロック図である。同図において、入力端INには、ある特定のサンプリング周期毎に所定のサンプリング値が例えば16ビットのデジタル信号として並列に入力される。 $10_{n-1}, 10_{n-2}, \dots, 10_{n-m}$ は各々、16ビットの入力データの各ビットを1ビットずつシフトするシフトレジスタである $11_0, 11_1, 11_2, \dots, 11_m$ はそれぞれ、16ビットの入力データに係数 $a_0, a_1, a_2, \dots, a_m$ を乗ずる乗算器である。そして12は乗算結果 $11_0, 11_1, 11_2, \dots, 11_m$ の乗算結果を加算する加算器である。第2図に示した非逐回形フィルタによって出力端OUTに得られる値 Y_n は

$$Y_n = a_0 X_n + a_1 X_{n-1} + \dots + a_m X_{n-m} \quad (1)$$

である。

第3図は第2図に示した非逐回形フィルタによる上記の演算を、シミュレーションプロセッサ8によってシミュレートするためのシミュレーションプロセッサ8内における処理の流れを示すフローチャートである。第3図において、ステップ $S_1 \sim S_m$ で16ビットデータ $IN, X_n, X_{n-1}, \dots, X_{n-m+1}$ をそれぞれ $x_0, x_{n-1}, \dots, x_{n-m}$ に変換し、ステップ S_{m+1} で $y_i = a_i x_i + a_1 x_{i-1} + \dots + a_m x_{i-m}$ を演算する。ステップ S_{m+2} でこの演算結果を上式(1)の Y_n と比較する。一致していれば次の障害検出動作に移る。不一致であれば警報ランプを点灯させ、端末装置にその旨通知する。

こうして、非逐回形フィルタの障害監視がシミュレーションプロセッサ8により行われる。

本発明は非逐回形フィルタの障害監視に限定されないことは勿論である。例えば、逐回形フィルタ、デジタル電話回線上のADPCM変換フィルタやDPCM変換フィルタ等、様々なデジタル

以上説明したように、本発明によれば、デジタル信号処理装置の演算内容を汎用のプロセッサによりシミュレートすることにより、汎用のデジタル信号処理装置による処理を中断することなくその障害を常時監視できる廉価な障害監視装置が得られる。更に、デジタル信号処理装置内の部分的な任意のデジタル処理を単一の汎用プロセッサでシミュレートできるので、廉価で汎用的な障害監視装置が得られる。

第1図は本発明の一実施例によるデジタル信号処理装置の構成概観図を示すブロック図、

第 3 図は第 2 図に示した回路による演算をシミュレーションプロセッサによってシミュレートするための処理の流れを示すフローチャート。

第5図は従来の障害監視方式の他の1例を説明するためのブロック図である。

1 --- デジタル信号処理部、2 --- 比較回路、3 --- 第1のメモリ、4 --- 第2のメモリ、5 --- シミュレーションプロセッサ。

富士通株式会社

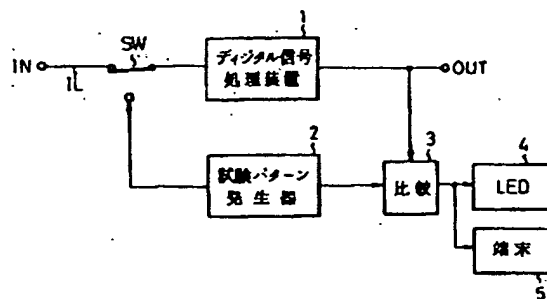
奔逸士 青 木 朗
 奔逸士 西 館 和 之
 奔逸士 内 田 幸 男
 奔逸士 山 口 昭 之

The block diagram shows a discrete-time system with three cascaded delay blocks, each labeled 10^{-n-1} and Z^{-1} . The input signal $x[n]$ enters the first block. The output of the first block is $x[n-1]$, which is fed back through a gain of $-1/10$ to the input of the first block. The output of the second block is $x[n-2]$, which is fed back through a gain of $-1/10$ to the input of the second block. The output of the third block is $x[n-3]$, which is fed back through a gain of $-1/10$ to the input of the third block. The output of the third block is also fed back through a gain of $-1/10$ to the input of the first block. The output of the system is $y[n]$.

```

graph TD
    START([START]) --> S1[S1:  $X_{n-m} \rightarrow X_{n-m}$ ]
    S1 --> S2[S2:  $X_{n-2} \rightarrow X_{n-1}$ ]
    S2 --> S3[S3:  $X_{n-1} \rightarrow X_{n-2}$ ]
    S3 --> S4[S4:  $X_n \rightarrow X_{n-1}$ ]
    S4 --> S5[S5:  $IN \rightarrow X_n$ ]
    S5 --> S6[Send:  $Y = a_0 X_n + a_1 X_{n-1} + \dots + a_m X_{n-m}$ ]
    S6 --> S7{S7: 比较}
    S7 -- 一致 --> RTN([RTN])
    S7 -- 不一致 --> LED[LED 点灯]
    LED --> END([结束表示])
  
```

第4図



第5図

